

# EUROPEAN PATENT OFFICE

## Patent Abstracts of Japan

PUBLICATION NUMBER : 05226619  
PUBLICATION DATE : 03-09-93

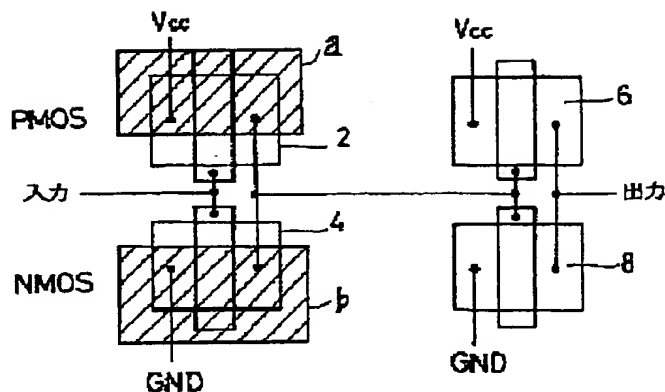
APPLICATION DATE : 12-02-92  
APPLICATION NUMBER : 04059302

APPLICANT : RICOH CO LTD;

INVENTOR : AOTA HIDEYUKI;

INT.CL. : H01L 27/118 H01L 27/088 H03K 5/13

TITLE : SEMICONDUCTOR INTEGRATED  
CIRCUIT DEVICE AND DELAY TIME  
PROGRAMMING



ABSTRACT : PURPOSE: To provide a delay circuit wherein a desired delay time can be set with small number of MOSTr's by doping a part of a channel to such a degree that a semiconductor integrated circuit device may have such a high threshold voltage that it may not operate at the line voltage and by controlling the effective transistor width.

CONSTITUTION: Phosphorus or arsenic is injected by ion implantation into a slant-line part 'a' of a PMOS transistor 2 and boron is injected by ion implantation into a slant-line part 'b' of an NMOS transistor 4 and then a channel threshold voltage of the slant parts comes to about 6V and therefore the device comes not to work at the 5V line voltage and then the effective transistor width becomes smaller. Thus, the effective transistor width of the PMOSTr 2 and of the NMOSTr 4 is changed due to channel doping and therefore a delay can be made by a one-stage inverter of the PMOSTr 2 and the NMOSTr 4. A delay time can be set continuously according to the size of a channel doping region shown by slant lines.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-226619

(43)公開日 平成5年(1993)9月3日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/118				
27/088				
H 0 3 K 5/13		4239-5 J		
		9169-4M	H 0 1 L 21/ 82	M
		7342-4M	27/ 08	1 0 2 B
審査請求 未請求 請求項の数4(全 5 頁)				

(21)出願番号 特願平4-59302

(22)出願日 平成4年(1992)2月12日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 貝原 光男

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

(72)発明者 青田 秀幸

東京都大田区中馬込1丁目3番6号 株式  
会社リコー内

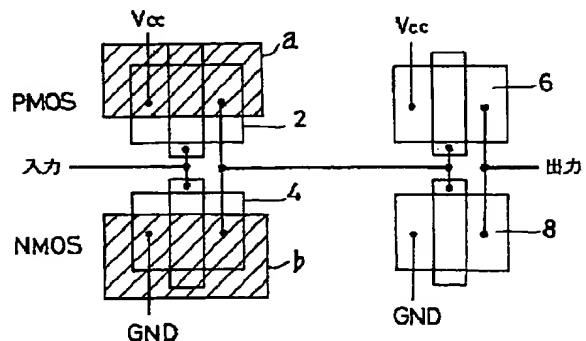
(74)代理人 弁理士 野口 繁雄

(54)【発明の名称】 半導体集積回路装置及び遅延時間プログラム方法

(57)【要約】

【目的】 少ないMOSトランジスタで、任意の遅延時間を設定する。

【構成】 PMOS 2とNMOS 4によるCMOSインバータと、PMOS 6とNMOS 8によるCMOSインバータにより遅延回路が構成され、遅延時間を調整するために、PMOS 2とNMOS 4では斜線の施された部分a、bにしきい値電圧が5Vより高くなって電源電圧では動作しないようにチャネルドープが施されて実効トランジスタ幅が狭くされている。遅延時間はチャネルドープ領域の大きさを変えることにより連続的に設定することができる。



## 【特許請求の範囲】

【請求項1】 遅延回路に含まれる少なくとも1個のMOSトランジスタのチャンネルの一部にその半導体集積回路装置の電源電圧では動作しないしきい値電圧になる程度にチャネルドープが施されてそのMOSトランジスタの実効トランジスタ幅が調整されていることにより、遅延時間が調整されていることを特徴とする半導体集積回路装置。

【請求項2】 MOSトランジスタのチャンネルの一部にその半導体集積回路装置の電源電圧では動作しないしきい値電圧になる程度にチャネルドープを施し、そのMOSトランジスタの実効トランジスタ幅を調整して任意の遅延時間をプログラムすることを特徴とする遅延時間プログラム方法。

【請求項3】 MOSトランジスタのチャンネルの一部にその半導体集積回路装置の電源電圧では動作しないしきい値電圧になる程度にチャネルドープが施されてそのMOSトランジスタの実効トランジスタ幅が調整されていることにより、そのMOSトランジスタの電流供給力が調整されていることを特徴とする半導体集積回路装置。

【請求項4】 RAMのセンスアンプを含み、そのセンスアンプに含まれる少なくとも1個のMOSトランジスタのチャンネルの一部にその半導体集積回路装置の電源電圧では動作しないしきい値電圧になる程度にチャネルドープが施されてそのMOSトランジスタの実効トランジスタ幅が調整されていることにより、そのMOSトランジスタの電流供給力が調整されていることを特徴とする半導体集積回路装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はMOSトランジスタを含む基本セルを複数個規則的に配列したマスタスライス型半導体集積回路装置などの半導体装置に関し、例えば遅延回路、RAMのセンスアンプ、MOSゲートアレイ、MOS複合ゲートアレイ（半導体チップ内の一部がゲートアレイ構造となっている半導体集積回路装置）、基本セルにPチャンネル型MOSトランジスタ（以下PMOSトランジスタという）とNチャンネル型MOSトランジスタ（以下NMOSトランジスタという）とを含んでいるCMOS型若しくはBiCMOS型のマスタスライス型半導体集積回路装置などに関するものである。

## 【0002】

【従来の技術】半導体集積回路装置で用いられる遅延回路としては、図1に示されるような種々の回路がある。

(A)は容量Cと抵抗RによってRC遅延回路を構成する例であり、(a)はそれをMOSトランジスタによる回路図で表わしたものである。(B)及びそのMOSトランジスタによる回路図(b)の例は、論理ゲートの伝搬時間を利用して遅延回路を構成する例である。この場合、所定の遅延時間となるようにトランジスタサイズが

設計されている。(C)とそのCMOS回路(c)による例は、マスタスライス型半導体集積回路に適用した例であり、予め同じパターンのMOSトランジスタを多数並べて構成しておき、メタル配線により所望の論理回路とすることにより遅延回路を構成したものである。

【0003】半導体集積回路装置を設計する場合、動作スピードを高めると消費電流が多くなるという関係がある。そのためスピードと消費電流との兼ね合いで各トランジスタの電流供給力を調整する必要がある。マスタスライス型半導体集積回路装置では電流供給力を調整するには複数のMOSトランジスタを接続している。図3はその一例であり、(A)が基本となる1個の基本セルを表わす。N1が入力、N2が出力、N3がゲートである。(A)の電流量を1とすると、いま仮りにその半分の電流を流せる回路を構成するためには、基本セルを2個使って(B)のように配線を接続する。また、基本電流の1.5倍の電流を流せるようにするには、(C)のように6個の基本セルをメタル配線で接続する。

## 【0004】

【発明が解決しようとする課題】遅延回路の例では、図1(A)のようにRC遅延回路を構成する場合は遅延時間により設計を行なわなければならない。(B)のように論理ゲートの遅延時間を利用する場合には遅延時間は最初の設計の段階で決定されてしまい、その後の段階では変更はできない。

【0005】図1(C)のように多数のMOSトランジスタをメタル配線で接続する方法では、RC要素を改めて追加して遅延回路を形成することができないし、また、基本となるMOSトランジスタサイズは予め決定されており、しかも論理ゲート用にサイズが決定されているため、多数のMOSトランジスタが必要となり、回路規模が増大する。例えば、図2に示されるように、PMOSとNMOSで構成したインバータを多段に接続して遅延回路を構成するとした場合、PMOSもNMOSもともにトランジスタ幅が $10\mu\text{m}$ 、チャンネル長が $1\mu\text{m}$ であるとする、その遅延時間は1論理ゲート当たり約 $0.5\text{ns}$ であるので、 $10\text{ns}$ の遅延が必要な遅延回路を構成しようとするれば、論理ゲートを20段接続しなければならない。しかも、遅延時間は $0.5\text{ns}$ 刻みでしか調整することができない。このように、従来の遅延回路では遅延の大きさにより回路規模が大きくなってしまいう問題と、遅延時間を連続的に設定できない問題がある。

【0006】そこで、本発明の第1の目的は、少ないMOSトランジスタで、しかも任意の遅延時間を設定できる遅延回路を提供することである。本発明の第2の目的は、所望の論理回路を構成した後に遅延時間を自由に設定することのできるプログラム方法を提供することである。

【0007】電流供給力に関しては、マスタスライス

型半導体集積回路装置で所望の電流供給力を得るように調整しようとする、図3に示されるように使用ゲート数が増える問題がある。そこで、本発明の第3の目的は、使用ゲート数を少なく抑えて任意の電流供給力を実現することである。本発明の第4の目的は、RAMのセンスアンプの電流供給力を所定の値に設定することである。

【0008】

【課題を解決するための手段】任意の遅延時間を設定するために、本発明では遅延回路に含まれる少なくとも1 10 個のMOSトランジスタのチャンネルの一部にその半導体集積回路装置の電源電圧では動作しないしきい値電圧になる程度にチャネルドープを施してそのMOSトランジスタの実効トランジスタ幅が調整することにより、遅延時間を調整する。

【0009】任意の電流供給力を設定するために、本発明ではMOSトランジスタのチャンネルの一部にその半導体集積回路装置の電源電圧では動作しないしきい値電圧になる程度にチャネルドープを施してそのMOSトランジスタの実効トランジスタ幅を調整することにより、そのMOSトランジスタの電流供給力を調整する。RAM 20 のセンスアンプにおいても同様にして、そのセンスアンプに含まれる少なくとも1個のMOSトランジスタのチャンネルの一部にその半導体集積回路装置の電源電圧では動作しないしきい値電圧になる程度にチャネルドープを施してそのMOSトランジスタの実効トランジスタ幅が調整してそのMOSトランジスタの電流供給力を調整する。

【0010】

【作用】MOSトランジスタにイオン注入を施してチャネルドープをする場合、NMOSトランジスタでは注入量を $1 \times 10^{12} \sim 3 \times 10^{12} / \text{cm}^2$ 、加速エネルギーを約30KeVにしてボロンを注入するとそのNMOSトランジスタのしきい値電圧は0.7~1.0Vであるが、イオン注入量を $4 \times 10^{13} \sim 5 \times 10^{13} / \text{cm}^2$ 、加速エネルギーを約180KeVとすると、そのNMOSトランジスタのしきい値電圧は約6Vとなり、半導体集積回路装置の動作に通常用いられる5Vの電源電圧では後者のNMOSトランジスタは動作しなくなる。

【0011】PMOSトランジスタでは、同様にリンや砒素をチャンネルにイオン注入するとき、その注入量を $10^{10} \sim 10^{11} / \text{cm}^2$ 、加速エネルギーを100~200KeVとすると、そのPMOSトランジスタのしきい値電圧は約6Vとなり、5V電源では動作しないようになる。

【0012】遅延回路に含まれるあるMOSトランジスタのチャンネルの一部に上述のようなしきい値電圧を高くするイオン注入（チャネルドープ）を施せば、そのMOSトランジスタの実効トランジスタ幅が狭くなり、遅延時間が変化する。また、上述のイオン注入により実効ト

ランジスタ幅が小さくなれば、電流供給量が少なくなる。全チャンネル幅に対し上述のしきい値電圧を高くするチャネルドープを施す割合を変えることにより、実効トランジスタ幅を連続的に任意の値に設定することができる。

【0013】

【実施例】図4は本発明を遅延回路に適用した一実施例を表わす。実線で示されるように、PMOSTランジスタ2とNMOSTランジスタ4にメタル配線が施されてCMOSインバータが構成され、PMOSTランジスタ6とNMOSTランジスタ8にもメタル配線が施されてCMOSインバータが構成されている。これらの2つのインバータがメタル配線により直列に接続されて遅延回路が構成されている。電源電圧Vccは例えば5Vである。

【0014】PMOSTランジスタ2においては斜線の施された部分aにリン又は砒素が注入量 $10^{10} \sim 10^{11} / \text{cm}^2$ 、加速エネルギー100~200KeVでイオン注入されており、その斜線部のチャンネルのしきい値電圧が約6Vとなって5V電源では動作しないようになり、実効トランジスタ幅が狭くなっている。NMOSTランジスタ4においては斜線の施された部分bにボロンが注入量 $4 \times 10^{12} \sim 5 \times 10^{12} / \text{cm}^2$ 、加速エネルギー約180KeVでイオン注入されており、その斜線部のチャンネルのしきい値電圧が約6Vとなって5V電源では動作しないようになり、実効トランジスタ幅が狭くなっている。このように、PMOSTランジスタ2とNMOSTランジスタ4がチャネルドープによって実効トランジスタ幅が変化させられ、従来の図2の10nsの遅延をPMOSTランジスタ2とNMOSTランジスタ4による1段のインバータで実現することができる。また、遅延時間は斜線で示されるチャネルドープ領域の大きさにより連続的に設定することができる。

【0015】チャネルドープはMOSトランジスタ完成後にプログラム可能である。したがって後の工程で遅延時間を調整することができる。図4のような遅延回路は予めある設定されたトランジスタサイズで多数のMOSトランジスタが配列されて構成されているマスタースライス型半導体装置において特に有効である。

【0016】図5は本発明を電流供給量を調整したMOSトランジスタに適用した実施例を表わす。(A)ではP型又はN型のMOSトランジスタ10に対し、斜線で示される領域cにしきい値電圧を電源電圧（例えば5V）よりも高くするチャネルドープを施すことにより、そのMOSトランジスタのトランジスタ幅を変化させ、それによって電流供給力を変化させている。(A)は図3の(B)に対応して電流供給力を1/2にした例であり、従来2個の基本セルが必要であったものが1個の基本セルで実現されている。

【0017】図5(B)はMOSトランジスタ12, 1

4を用い、MOSトランジスタ14のトランジスタ幅が $1/2$ になるように斜線部dにしきい値電圧を電源電圧(例えば5V)よりも高くするチャネルドープを施し、MOSトランジスタ12、14に図のようにメタル配線(実線で示されたもの)を施すことにより、基本セルの $3/2$ 倍の電流供給力を実現している。従来であれば図3(C)のように6個の基本セルが必要であるが、図5(B)では2個の基本セルで実現することができる。

【0018】図6は電流供給力を調整する本発明をSRAMのカレントミラー型センスアンプに適用した実施例を表わす。破線で囲まれた領域16がメモリセルを表わし、破線で囲まれた領域18がセンスアンプを表わしている。このセンスアンプ18はメモリセル16からの相反信号を伝達するビットラインBLとBLB(最後のBは反転信号を表わす)の電位差を感知し、増幅する回路である。このセンスアンプ18を構成するMOSトランジスタM1~M5は本発明によりチャネルの一部にしきい値電圧を電源電圧以上とするチャネルドープが施されてトランジスタ幅が調整されている。一般に、トランジスタ幅を大きくして大きな電流を流せるようにすれば高速に検出ができるが、消費電流も多くなる。したがって、MOSトランジスタM1~M5は動作スピードと消費電流との兼ね合いによりイオン注入でトランジスタ幅が調整されている。そのため、最少数の使用ゲート数で微細な調整が可能である。もし、従来のマスタースライス方式で電流供給力を調整しようとするれば、多数の基本セルが必要となって回路規模が大型化してしまう。MOSトランジスタのチャネルの一部にイオン注入を施して実効トランジスタ幅を変化させて電流供給力を調整する本発明は、図6のようなセンスアンプに限らず、種々の回路に適用することができる。

\*【0019】

【発明の効果】本発明の遅延回路では遅延用に新たにRC要素を付加することなく所望の遅延時間を実現することができる。また論理ゲートで実現する場合には論理ゲートの段数を増加させることなく所望の遅延時間を実現できるので、回路規模が縮小され、また任意の遅延時間を設定することができる。設計やレイアウトなどより後の工程においても任意の遅延時間にプログラムすることができる。本発明では各MOSトランジスタの電流供給力を任意の値に調整することができるので、最少の使用ゲート数で求める回路を実現することができる。本発明はカスタム半導体集積回路装置に適用することができるのは勿論であるが、マスタースライス型半導体集積回路装置においては使用ゲート数が少なくすむので特に有効である。

【図面の簡単な説明】

【図1】従来の遅延回路の例を示す回路図である。

【図2】従来のマスタースライス方式による遅延回路を示す概略平面図である。

【図3】従来のマスタースライス方式による電流供給力調整方法を示す概略平面図である。

【図4】一実施例の遅延回路を示す概略平面図である。

【図5】一実施例の電流供給力を調整した回路を示す概略平面図である。

【図6】本発明の一適用例であるSRAMのセンスアンプを示す回路図である。

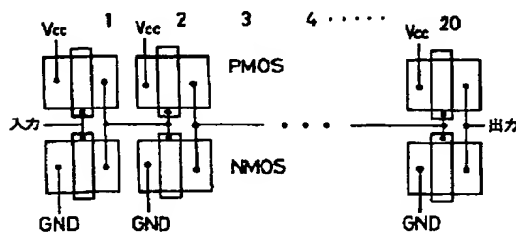
【符号の説明】

2, 4, 6, 8, 10, 12, 14 MOSトランジスタ

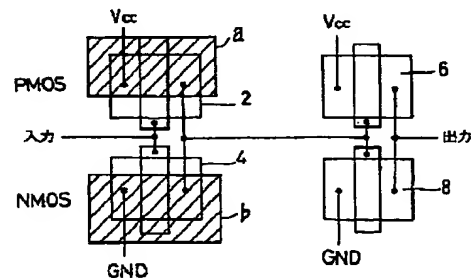
16 メモリセル

\* 18 センスアンプ

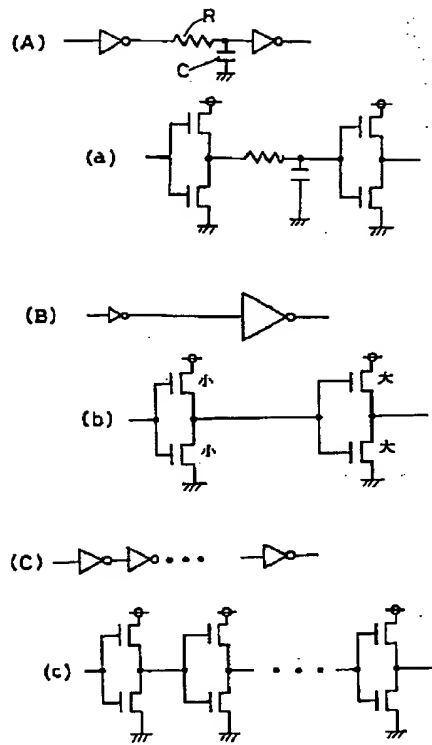
【図2】



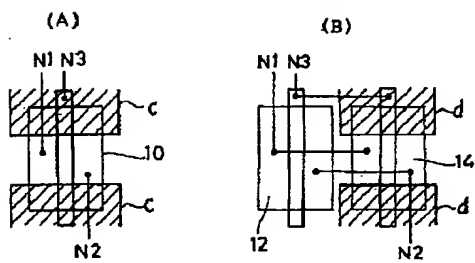
【図4】



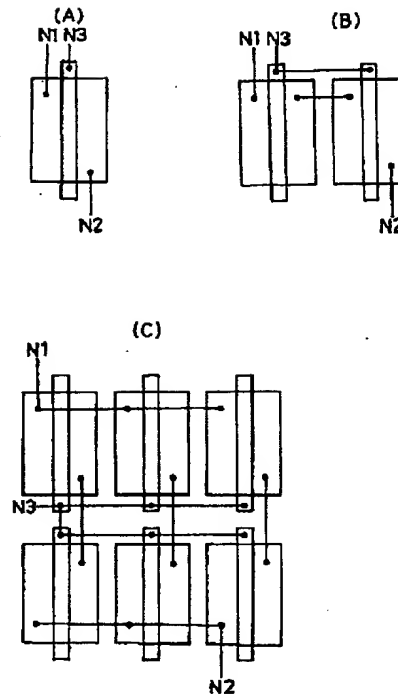
【図 1】



【図 5】



【図 3】



【図 6】

